

## **Створення засобів проектування та розробка на їх основі високопродуктивних процесорів систем технічного зору**

## **Создание средств проектирования и разработка на их основе высокопроизводительных процессоров систем технического зрения**

### **Computer aided design tool development and their use for the high-speed vision processor design**

1. Номер державної реєстрації: 0115U002326..
2. Науковий керівник д.т.н., проф. Сімоненко В. П., проф. Сімоненко В. П., Prof. Simonenko V.P.
3. Суть розробки, основні результати

Розроблена система технічного зору, яка виконує стиснення зображення з широким динамічним діапазоном (ШДД) до сигналу з динамічним діапазоном 48 дБ без втрат чіткості як у світлих, так і темних місцях та без артефактів і має помірні апаратні витрати при реалізації в програмованих логічних інтегральних схемах (ПЛІС). Вибрано алгоритм Retinex стиснення ШДД-зображення на основі білатеральної функції локальної яскравості. Запропоновано спрощений алгоритм стиснення ШДД-зображення, який замість білатеральної функції використовує функцію аналізу локальних характеристик зображення.

Розроблено бібліотеку віртуальних модулів для створення систем технічного зору різної складності на базі ПЛІС. Модулі бібліотеки мають мінімізовані апаратні витрати, велику пропускну здатність та уніфікований інтерфейс. Вони розраховані на частоту слідування пікселів до 150 МГц при реалізації у ПЛІС фірми Lattice та удвічі більшу – у ПЛІС фірм Altera, Xilinx.

Запропоновано аналітичний метод синтезу конвеєрних обчислювачів на основі просторового графу синхронних потоків даних (ГСПД), який забезпечує синтез конвеєрних обчислювальних пристроїв з регламентовано великою пропускну здатністю та мінімізованими апаратними витратами у ПЛІС. Показано його спрощення при проектуванні процесорів обробки відеозображень. Складність оптимізації при використанні методу є значно нижчою ніж у інших методів завдяки великій кількості обмежень, які накладаються на ГСПД.

Розроблено ядро мікропроцесора RISC-ST2, яке орієнтоване на обробку послідовних потоків даних у ПЛІС. Воно займає невеликі апаратні витрати і виконує 100 млн. команд за секунду. Для нього розроблено програму асемблера. Ядро мікропроцесора призначене для керування модулями системи технічного зору та реалізації інтелектуальної обробки зображень. Воно спроможне розпаковувати та виводити зображення GIF-файлів зі швидкістю 5 мегапікселів за секунду.

Випробування системи технічного зору показали, що вона виконує стиснення динамічного діапазону ШДД-зображення з 120 дБ до 48 дБ з мінімальними втратами чіткості деталей як у темних, так і світлих місцях. Встановлено, що, завдяки використанню модернізованого алгоритму Retinex, покращується чіткість деталей, особливо на яскравих ділянках зображення.

Разработана система технического зрения, выполняющая сжатие изображения с широким динамическим диапазоном (ШДД) до сигнала с динамическим диапазоном 48 дБ без потерь четкости как в светлых, так и темных местах, без артефактов и имеет умеренные аппаратные затраты при реализации в программируемых логических

интегральных схемах (ПЛИС). Выбран алгоритм Retinex сжатия ШДД-изображения на основе билатеральной функции локальной яркости. Предложен упрощенный алгоритм сжатия ШДД изображения, который вместо билатеральной функции использует функцию анализа локальных характеристик изображения.

Разработана библиотека виртуальных модулей для создания систем технического зрения различной сложности на базе ПЛИС. Модули библиотеки имеют минимизированные аппаратные затраты, большую пропускную способность и унифицированный интерфейс. Они рассчитаны на частоту следования пикселей до 150 МГц при реализации в ПЛИС фирмы Lattice и вдвое большую — в ПЛИС фирм Altera, Xilinx.

Предложены аналитический метод синтеза конвейерных вычислителей на основе пространственного графа синхронных потоков данных (ГСПД), который обеспечивает синтез конвейерных вычислительных устройств с регламентированно большой пропускной способностью и минимизированными аппаратными затратами. Показано его упрощение при проектировании процессоров обработки видеоизображений в ПЛИС. Сложность оптимизации при использовании метода значительно ниже, чем в других методах, благодаря большому количеству ограничений, накладываемых на ГСПД.

Разработано ядро процессора RISC-ST2, ориентированное на обработку последовательных потоков данных в ПЛИС. Оно занимает небольшие аппаратные затраты и выполняет 100 млн. команд в секунду. Для него разработана программа ассемблера. Ядро процессора предназначено для управления модулями системы технического зрения и реализации интеллектуальной обработки изображений. Оно способно распаковывать и выводить изображение GIF-файлов со скоростью 5 мегапикселей в секунду.

Испытания системы технического зрения показали, что она выполняет сжатие динамического диапазона ШДД-изображения с 120 дБ до 48 дБ с минимальными потерями четкости деталей как в темных, так и светлых местах. Установлено, что, благодаря использованию модернизированного алгоритма Retinex, улучшается четкость деталей, особенно на ярких участках изображения.

The vision system for the high dynamic range (HDR) video signals is developed. The system performs the HDR image compression to the signal with dynamic range of 48 dB without loss of sharpness in the light and dark areas and no artifacts, and has moderate hardware costs when it is implemented in FPGA. The Retinex compression algorithm based on the bilateral function is considered. A simplified HDR compression algorithm is proposed, that uses the intelligent image analysis of local characteristics instead of the bilateral function .

The intellectual property core (IP core) library for the different vision systems is developed. The IP cores have the minimized hardware costs, high bandwidth and unified interface. They are designed to support the pixel frequency up to 150 MHz when implemented in the Lattice FPGAs, and twice more when implemented in Altera, Xilinx FPGAs.

An analytical method for the pipelined IP core design is proposed, which is based on the spatial synchronous data flows (SDF). It provides a synthesis of pipelined computing devices with a given throughput and minimized hardware costs. The simplified design of IP cores for the video processing is shown. The optimization complexity using this method is much less due to a set of restrictions imposed on SDF.

The microprocessor RISC-ST2 IP core is developed, which is focused on the sequential data stream processing. It takes a little hardware costs and gives up to 100 mln. instructions per second. An assembly program is developed as well. The microprocessor IP core is used to control the vision system and intelligent processing of images. It is able to extract the images from the GIF-files at the speed of 5 megapixels per second.

The vision system tests have shown that it performs the HDR compression from 120 dB to 48 dB with a minimum loss of clarity of details both in dark and in light areas. It was found that detail visibility is improved especially in bright areas of the image due to the use of the modernized Retinex algorithm.

4. Наявність охоронних документів на об'єкти права інтелектуальної власності.  
Об'єктами інтелектуальної власності є віртуальні модулі, з яких складена система. Є робоча документація на ці модулі. Інших охоронних документів немає, так як віртуальні модулі, як правило, не мають охоронних документів через неможливість встановлення факту їх впровадження.
5. Порівняння зі світовими аналогами.  
Найближчим аналогом є бібліотека віртуальних модулів Ionos фірми Helion, Німеччина та системи технічного зору на її основі. У цих системах використовується алгоритм HDR-стиснення на основі побудови функції розподілення яскравостей, якому притаманна гірша якість стиснення та менша швидкодія, ніж алгоритму Retinex. У порівнянні з аналогом, пропонується система має менші апаратні витрати, кращу якість стисненого зображення та більшу швидкодію.
6. Економічна привабливість для просування на ринок  
Системи обробки HDR-зображень можуть бути монопольними на ринку подібних систем, так як на віртуальні модулі для таких систем поширюється обмеження United States Export Administration Act по експортуванню у певні країни. При заміні подібних імпортованих систем на систему, що пропонується, можливий прибуток більше 10 тис. грн. за од.
7. Потенційні користувачі — міноборонпром, виробники відеосистем керування транспортними засобами, прицільним вогнем; виробники систем відеоспостереження, систем промислової діагностики.
8. Стан готовності розробки — лабораторний зразок та бібліотека віртуальних модулів (IP cores) з технічною документацією.
9. Існуючі результати впровадження — немає.
10. Форма участі інвестора — частка в проекті%.
11. Обсяг інвестицій — 40000 USD.
12. Мета інвестицій — виконання дослідно-конструкторської роботи.
13. Назва підрозділу — факультет інформатики та обчислювальної техніки НТУУ “КПІ ім. Сікорського”,  
тел. 044 2049337,  
E-mail: aser@comsys.kpi.ua  
URL проекту: <http://kanyevsky.kpi.ua/rozrobka15-16.html>
14. Фото:



15. Перелік публікацій за матеріалами досліджень за період виконання  
Сергієнко А.М., Сімоненко В.П. Складання розкладу для графів синхронних потоків даних // Системні дослідження та інформаційні технології. – 2016. – №1. – С. 51 – 62. – ISSN: 2308-8893. – Режим доступу: <http://journal.iasa.kpi.ua/article/view/55480/60825>

Sergiyenko A. Modules for Pipelined Mixed Radix FFT Processors [electronic resource] / Sergiyenko A., Serhienko A. // International Journal of Reconfigurable Computing. — 2016. — P. 1-7. — Available at: <https://www.hindawi.com/journals/ijrc/2016/3561317/>

Сергієнко А. М., Лепеха В. Л., Сімоненко А. В. Стиснення зображень з широким динамічним діапазоном у реальному часі // Праці 3 міжнародної конференції InfoCom'2016, 1 – 2 грудня 2016 р. – К.:НТУУ “КПІ”, ВПІ “Політехніка”. – 2016.

16. Ключові слова: ПЛІС, HDR-відео, відеоспостереження, IP core, VHDL.